

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

9028391

Basic Patent (No,Kind,Date): EP 348209 A2 19891227 <No. of Patents: 009>

IMAGE DISPLAY DEVICE (English; French; German)

Patent Assignee: MATSUSHITA ELECTRONICS CORP (JP)

Author (Inventor): NAKAMURA AKIRA; SENDA KOHJI; FUJII EIJI; EMOTO FUMIAKI;

UEMOTO YASUHIRO; YAMAMOTO ATSUYA; KOBAYASHI KAZUNORI

Designated States : (National) DE; FR; GB

IPC: \*G02F-001/133;

Derwent WPI Acc No: G 90-001534

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
CA 1308471	A1	19921006	CA 603676	A	19890622	
DE 68917654	C0	19940929	DE 68917654	A	19890623	
DE 68917654	T2	19950302	DE 68917654	A	19890623	
EP 348209	A2	19891227	EP 89306346	A	19890623	(BASIC)
EP 348209	A3	19900822	EP 89306346	A	19890623	
EP 348209	B1	19940824	EP 89306346	A	19890623	
<b>JP 3101714</b>	A2	19910426	JP 89161650	A	19890623	
JP 2651016	B2	19970910	JP 89161650	A	19890623	
US 5245452	A	19930914	US 369476	A	19890621	

Priority Data (No,Kind,Date):

JP 88157174 A 19880624

JP 88157176 A 19880624

JP 88279918 A 19881104

JP 8968032 A 19890320

JP 89142534 A 19890605

JP 88157174 A1 19880624

JP 88157176 A1 19880624

JP 88279918 A1 19881104

JP 8968032 A1 19890320

JP 89142534 A1 19890605

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

03438814      \*\*Image available\*\*

IMAGE DISPLAY DEVICE

PUB. NO.:      **03-101714** [JP 3101714 A]

PUBLISHED:      April 26, 1991 (19910426)

INVENTOR(s):   NAKAMURA AKIRA

SENDA KOJI

FUJII EIJI

EMOTO FUMIAKI

UEMOTO YASUHIRO

YAMAMOTO ATSUYA

KOBAYASHI KAZUNORI

APPLICANT(s): MATSUSHITA ELECTRON CORP [000584] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.:      01-161650 [JP 89161650]

FILED:          June 23, 1989 (19890623)

INTL CLASS:    [5] G02F-001/136; G02F-001/1337; H01L-027/12; H01L-029/784

JAPIO CLASS:   29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R011 (LIQUID CRYSTALS)

JOURNAL:        Section: P, Section No. 1230, Vol. 15, No. 292, Pg. 157, July 24, 1991 (19910724)

#### ABSTRACT

**PURPOSE:** To simplify a process, to decrease the defects by the disconnection of Al wirings and to improve the yield of production by using polysilicon layers as pixel electrodes.

**CONSTITUTION:** The polysilicon film 2 is formed by an LP (Low Pressure) CVD method on a quartz substrate 1. TFT (thin film transistor) regions and pixel electrode regions are separated to island shapes by dry etching. A thermal oxide film 11 is formed on the surface of the polysilicon film 2 and a nitride film is deposited thereon. The nitride film 12 and the oxide film 11 are removed only from the pixel electrodes 12 and P(sup +) ions are implanted in order to impart an electrical conductivity to the pixel electrode parts. The thermal oxide film 3 is then formed only in the regions of the pixel electrodes and finally, an underlying film 12 and the oxide film 11 are removed; thereafter, the TFT regions are successively formed according to an MOS process. The crack of the SiNx film 12 and an NSG (Nondoped Silicate Glass) film is obviated by using the polysilicon film 2 for the pixel electrodes. The disconnection of the Al wirings is thereby decreased and the process is simplified.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-101714

⑤ Int. Cl.<sup>5</sup>

G 02 F 1/136  
1/1337

識別記号

5 0 0

庁内整理番号

9018-2H  
8806-2H  
9056-5F

⑬ 公開 平成3年(1991)4月26日

H 01 L 29/78

3 1 1 A※

審査請求 未請求 請求項の数 6 (全10頁)

⑭ 発明の名称 画像表示装置

⑯ 特 願 平1-161650

⑰ 出 願 平1(1989)6月23日

優先権主張 ⑱ 昭63(1988)6月24日 ⑲ 日本(JP) ⑳ 特願 昭63-157174

⑳ 発 明 者	中 村 晃	大阪府門真市大字門真1006番地	松下電子工業株式会社内
㉑ 発 明 者	千 田 耕 司	大阪府門真市大字門真1006番地	松下電子工業株式会社内
㉒ 発 明 者	藤 井 英 治	大阪府門真市大字門真1006番地	松下電子工業株式会社内
㉓ 発 明 者	江 本 文 昭	大阪府門真市大字門真1006番地	松下電子工業株式会社内
㉔ 発 明 者	上 本 康 裕	大阪府門真市大字門真1006番地	松下電子工業株式会社内
㉕ 発 明 者	山 本 敦 也	大阪府門真市大字門真1006番地	松下電子工業株式会社内
㉖ 発 明 者	小 林 和 憲	大阪府門真市大字門真1006番地	松下電子工業株式会社内
㉗ 出 願 人	松下電子工業株式会社	大阪府門真市大字門真1006番地	
㉘ 代 理 人	弁理士 栗野 重孝	外1名	

最終頁に続く

明 細 書

1、発明の名称

画像表示装置

2、特許請求の範囲

- (1) 基板上に複数個のスイッチングトランジスタと、前記スイッチングトランジスタにそれぞれ対応した画素電極とが形成され、前記画素電極が、前記スイッチングトランジスタの活性層と前記画素電極とが共通の半導体層で形成されていることを特徴とする画像表示装置。
- (2) 画素電極に透孔が形成されていることを特徴とする請求項1記載の画像表示装置。
- (3) 画素電極の厚さが光が透過するに十分薄いことを特徴とする請求項1又は請求項2記載の画像表示装置。
- (4) 画素電極の上方に所定の方にラビングされた配向膜および液晶層をそなえ、透孔が前記ラビングの方に延びた形状を有することを特徴とする請求項2記載の画像表示装置。
- (5) 活性層の厚さが光が透過するに十分薄いこと

を特徴とする請求項1～請求項4のいずれかに記載の画像表示装置。

- (6) スwitchングトランジスタの電極に接続された配線間に層間絶縁膜が形成され、前記層間絶縁膜は少くとも画素電極の一部の上で欠如されていることを特徴とする請求項1～請求項5のいずれかに記載の画像表示装置。

3、発明の詳細な説明

産業上の利用分野

本発明は画像表示装置、特に液晶を用いた画像表示装置に関するものである。

従来の技術

液晶を用いた画像表示装置は、基板上に複数個のスイッチング素子が行列状に配列され、それぞれのスイッチング素子に接続された透明画素電極と、前記透明画素電極に対向して設けられた透明共通電極との間に液晶が接続され、前記スイッチング素子によって、前記相対する透明電極間に電圧を印加することにより、前記各画素の液晶の偏光特性を制御し、各画素毎に液晶の透過光量を調

整することにより画像を表示している。

第15図に、従来のスイッチング作用を有する画素部の構造を示す。101は石英基板、102はスイッチング用のTFT(thin film transistor)を形成するためのポリシリコン膜である。103はゲート酸化膜、104はゲート電極用のポリシリコン膜、105はTFTのソースおよびドレインを形成するn型領域、106はNSG(Nondoped Silicate Glass)膜、107は配線用のAl膜、107'はITOコンタクト用Al電極、108はシリコン窒化膜、109はITOコンタクト用Cr膜、110は透明画素電極用のITO(Indium Tin Oxide)膜、111はパッシベーション用NSG膜である。

発明が解決しようとする課題

このような従来の画素部の構造では、ITO膜110をパターニングして透明画素電極を形成するのに用いるエッチング液がAl膜を腐食するのを防ぐための、Al膜保護用のCr膜109を形成するためプロセスが複雑になる。しかもCr膜

およびITO膜の形成過程でシリコン窒化膜108およびNSG膜106に割れが生じ、Al配線膜107の断線が生じて、製造の歩留りが悪くなる。

本発明はかかる点に鑑みてなされたもので、簡易な構造で、しかも従来のMOSプロセスを用いて製造できる画像表示装置を提出するものである。

課題を解決するための手段

上記課題を解決するために、本発明の画像表示装置は、スイッチング用のトランジスタ作製に用いている半導体層で画素電極を形成している。

作用

この構成によって、Cr層およびITO膜の形成プロセスがなくなり、従来に比べてプロセスを非常に簡単化でき、さらに、シリコン窒化膜、NSG膜の割れによるAl配線の断線を防ぐことができる。その結果として、装置の製造歩留りを上げることが可能である。

実施例

以下、本発明の第1の実施例について、図面を参照しながら説明する。

第1図は本発明の実施例における画像表示装置の画素部の平面図、第2図は第1図のV-V'線の断面図である。第2図において、1は石英基板、2はポリシリコン膜である。ポリシリコン膜2は画素電極およびスイッチング用のTFTの形成領域になるという2つの役目をしている。3はSiO<sub>2</sub>層、4はゲート酸化膜、5はゲート電極用のポリシリコン膜、6はTFTのソースおよびドレインを形成するn型領域、7はNSG膜、8は配線用のAl膜、9はプラズマCVD法で形成されたSiNx膜である。特に、画素電極のポリシリコン膜の膜厚は、白黒画像の時にはTFTと同じ膜厚(1500~2000Å)でよいが、カラー画像では、特に青色透過率を高くし青感度特性をよくするために、画素電極ポリシリコン膜の厚さを500Å程度にする必要がある。しかしながら、TFTではポリシリコン膜厚を1500Å以下にまで薄くすると、ソースコンタクト部でAl

膜8とオーミックコンタクトを形成する時、AlにSiが固溶してしまい、コンタクト不良となる。そこで、TFTソース部は1500Å以上にする必要がある。上記条件を満足するためには、TFT領域と画素電極領域でポリシリコン膜2の膜厚は差をつける必要がある。

前記ゲート電極5には、このゲート電極5に連続して形成されるゲート電極線10から走査パルスが印加される。信号線8はこのゲート電極線10に直交して配置されており、信号線であるAl膜8には、表示すべき映像に対応して画素電極であるn型領域6に印加すべき電圧が、前記走査パルスが印加される期間に導出される。

以上のように構成された画像表示装置の画素部について、以下にその構造方法を第3図に従って説明する。まず、第3図(a)に示すように石英基板1上にLP(Low Pressure)CVD法により2000Åの厚さにポリシリコン膜2を形成し、TFT領域および画素電極領域をドライエッチングにより島状に分離する。次にポリシリコン膜2表面に500Å

の熱酸化膜11を形成し、その上に1200Åの窒化膜12を堆積し、画素電極領域のみ窒化膜12、酸化膜11を取り除き、第3図(b)に示すように画素電極部に導電性をもたせるために、P<sup>+</sup>イオンを注入する。次に段階として、第3図(c)に示すように、LOCOSの手法により、画素電極の領域のみ熱酸化膜3を形成し、ポリシリコン膜厚2を500Å程度にする。最後に、窒化膜12、酸化膜11を取り除き第3図(d)に示すような構造とする。その後は、従来から用いられているMOSプロセスに従ってTFT領域を形成していく。

以上のように、本実施例によれば、画素電極にポリシリコン膜を用いることにより、従来のようにSiNx膜およびNSG膜に割れはなくAl配線の断線を大幅に減少することができ、さらにプロセスが簡単化される。

なお、本実施例ではTFTおよび画素電極の作製をポリシリコン膜を用いて行なったが、TFTおよび画素電極の作製が可能な他の半導体材料で

もよい。

第4図は本発明の第2の実施例における画像表示装置の画素部の構成を示すものである。第4図において、1は石英基板、2はポリシリコン膜である。4はゲート酸化膜、5はゲート電極用のポリシリコン膜、6はソース、ドレインおよび画素電極を形成するn型領域、7はNSG膜、8は配線用のAl膜、9はプラズマCVD法で形成されたSiNx膜である。特に、画素電極のポリシリコン膜厚は、カラー画像において、特に青感度特性をよくするために、光が透過する程度に薄く(500Å程度)する必要がある。またTFTのトランジスタ特性としては、TFTのチャンネル領域の厚さを薄くするほどgm(相互コンダクタンス)は高くなり、リーク電流が減少する。

TFTのAlコンタクト形成領域のポリシリコン膜厚は1500Å以上にする。

以上のように構成された画像表示装置の画素部について、以下にその製造方法を第5図に従って説明する。まず、第5図(a)に示すように、石英基

板1上にLP(Low Pressure)CVD法により厚さ2000Åの第1層ポリシリコン膜2aを形成した後、コンタクト形成領域のみ島状にポリシリコン薄膜が残るようにパターニングする。次に、第5図(b)に示すように厚さ1100Åの第2層ポリシリコン膜2bを形成する。次に、第5図(c)に示すように厚さ1300Åのゲート酸化膜4をポリシリコン膜2bの熱酸化により作製する。この時、熱酸化により画素電極領域のポリシリコン膜厚は500Å程度になっている。ゲート酸化膜4の上にポリシリコン膜5を堆積し、ゲート電極を形成する。最終的に、第5図(d)に示すようにセルフアラインメント法でP<sup>+</sup>をイオン注入し、n型領域を形成し、画素電極領域にも導電性をもたせる。このイオン注入により、第1層のポリシリコン膜2aと第2層のポリシリコン膜2bとの界面自然酸化膜は十分破壊されるため、良好なコンタクトを形成することが可能である。以上のように、ポリシリコン画素部を形成した後は、従来から用いられているプロセスに従って、第4図に示

した構造を形成していく。

以上のように本実施例によれば、TFTのチャンネル領域のポリシリコン膜厚を薄くしたことにより、青色の透過率も十分で、gmを従来より大きくすることができ、リーク電流も減少する一方、Al配線とのコンタクト領域だけを厚さ1500Å以上にすることにより良好なオーミックコンタクトも可能となる。

第6図はこの発明の第3の実施例の液晶表示装置の画素電極近傍の構成を示す平面図であり、第7図は第6図の切断面線II-IIから見た断面図である。

この実施例の液晶表示装置では、ポリシリコン膜で形成した画素電極6に、多数の微細な透孔13を画素電極6の全域にわたって分布させて形成するようにしている。この透孔13はたとえば、その形状が一辺が2μm程度の略正方形とされ、画素電極6の各辺に沿って3μmのピッチで形成されている。したがって隣接する透孔13間のポリシリコン膜の幅は1μm程度と小さくなっている

が、 $n$ 型に改質した画素電極6の部分のポリシリコン膜はその比抵抗が十分に小さく、前述のような透孔13を形成してもそのシート抵抗は十分に低い。

前記透孔の大きさは、液晶層（図示せず）の層厚（ $4 \sim 6 \mu\text{m}$ ）に比較して十分に小さく選ばれており、これによって前記透孔13を多数形成した画素電極6を用いても、液晶に均一に電圧を印加することができる。

第8図はこの実施例の液晶表示装置の製造方法を説明するための断面図である。先ず第8図(a)に示すように石英基板1表面に減圧CVD（Chemical Vapour Deposition）法により1500Åのポリシリコン膜2を形成する。次にこのポリシリコン膜2に画素電極を形成するためのパターニングを施す。このとき透孔13を同時に形成する。この状態は第8図(b)に示されている。前記透孔13は、その一辺の長さ $d_1$ がたとえば $2 \mu\text{m}$ 、ピッチ $P_1$ がたとえば $3 \mu\text{m}$ とされる。

次に第8図(c)に示すように、熱酸化により

1300Åの膜厚のゲート酸化膜4を作製する。このときこのゲート酸化膜4直下のポリシリコン膜2の膜厚は、前記熱酸化により、800Å程度になっている。ゲート酸化膜4上には、ポリシリコン膜を材料としたゲート電極5が堆積される。

この状態から第8図(d)に示すように、 $P^+$ または $As^+$ を注入する。これによってポリシリコン膜2のゲート酸化膜4直下の部位を除く残余の部分が $n$ 型に改質され、これによってソース領域、ドレイン領域および画素電極6が形成される。

この後、従来から用いられているプロセスに従って、NSG膜7、信号線8、およびプラズマSiNx膜9を順次形成して第6図および第7図に示す状態となる。さらに対向基板（図示せず）の固着、および液晶の封入などの工程を経て液晶表示装置が作製される。

このようにして作製されたこの実施例の液晶表示装置では、ポリシリコン膜を材料として形成した画素電極6に透孔13を形成しているの、この透孔13の部分ではポリシリコン膜による光の

吸収を防ぐことができ、ポリシリコン膜の低い光透過率にもかかわらず、透過光の光量を増大させて、表示画面を明るくすることができる。これによって、良好な表示状態を得ることができるようになる。本件発明者の測定では、この実施例の液晶表示装置における光透過率は、透孔13を形成しないものに比較して、15倍以上も向上することが確かめられている。

前述の実施例では、透孔13の形状を略正方形としたが、この形状は任意であり、たとえばスリット状などでもよい。また前述の実施例中の説明で示した透孔13の大きさは一例であって、これに限られるものではない。

また前述の実施例ではソース領域、ドレイン領域および画素領域6を、イオン注入によって $n$ 型に改質するようにしたが、たとえば $B^+$ の注入によって $p$ 型に改質するようにしてもよい。

さらにまた前述の実施例では、単出ゲートとしてシングルゲートを例にとって説明したが、デュアルゲートのものに対してもこの発明は好適に実

施することができる。

以下、本発明の第4の実施例について図面を参照しながら説明する。

第9図は本発明の第4の実施例における画像表示装置の画素部の平面図である。第10図は第9図のA-A'線での断面図を示す。1は石英基板、2はポリシリコン層である。このポリシリコン層は画素電極およびスイッチング用のデュアルゲート薄膜トランジスタになるという2つの役目を果たしている。6はソース、ドレインおよび画素電極を形成する $n$ 型領域、4はゲート酸化膜、5はゲート電極用のポリシリコン層、7はNSG膜、8はAl配線、9はプラズマCVD法で形成されたSiNx膜、9は配向膜、10は液晶である。ここで画素電極として用いるポリシリコン層の $n$ 型領域6の比抵抗は十分に低いため、電極としての抵抗は問題ない。また、第9図に示すようにポリシリコン画素電極には、配向膜のラビング方向に長くのびた $2 \mu\text{m}$ 幅の複数個の透孔13が平行に配列されている。この場合、ストライプ状

になったポリシリコン層の幅は $2\mu\text{m}$ 程度になっているが、ポリシリコン層のシート抵抗は十分に低くなっており、液晶に均一に電圧を印加することが十分可能である。

次に本発明の具体的な作製方法について説明する。まず第11図(a)に示すように石英基板1上に減圧CVD法により $1500\text{\AA}$ のポリシリコン層2を形成する。次に第11図(b)に示すように薄膜トランジスタ及びポリシリコン画素電極が残るようにパターニングする。この時、画素電極には第9図のように一方向に並んだストライプ状の透孔13が多数あいている。

次に $1300\text{\AA}$ のゲート酸化膜4を熱酸化により作製する。この時、ゲート酸化により画素電極のポリシリコン層厚は $800\text{\AA}$ 程度になっている。この上にポリシリコン層5を堆積し、第11図(c)に示すようにゲート電極を形成する。最終的に第11図(d)に示すようにセルフアラインで $\text{P}^+$ 又は $\text{As}^+$ を注入し、 $\text{n}$ 型領域6を形成し、画素電極領域にも導電性を持たせる。次に従来から用

いられているプロセスに従ってNSG膜9、Al配線8、プラズマSiNx膜9を順次形成する。

さらに配向膜14を形成し、ラビングを行う。この時ラビングはポリシリコン画素電極にあけたストライプ状の透孔13の長手方向と同じ方向に行う。最後に液晶15を注入する。

以上のようにして形成した画像表示装置は、画素電極としてITO電極に比べると光の透過率が悪いポリシリコン層を用いているが、ポリシリコン画素電極に穴にあけることにより画素全体として光の実効的な透過率を著しく向上させることができる。本実施例により作製した画像表示装置は光の透過率が2倍以上に向上した。

また、ポリシリコン層にあけた穴が配向膜のラビングの方向に沿ってストライプ状に形成されていることから、ラビング方向には穴による配向膜の段差部の数が格段に少なくなり、従って段差部分で配向膜分子が均一に並ばないという配向不良を極力避けることができる。

なお、本実施例ではTFTをシングルゲート構

造としても問題はない。さらに本実施例ではポリシリコン画素電極内にあけたAl配線8の方向としたが、ラビングの方向と一致していればAl配線8と垂直な方向でも斜め方向でもよい。

本発明の第5の実施例を第12図、第13図および第14図により説明する。

第12図および第13図は、本実施例による画像表示装置の画素部を示す平面図およびそのA-A'で切断した要部断面図である。

第12図に示す本実施例の特徴は、第12図に示したドレイン領域に連なる鉤形状の画素電極部6の上面のNSG膜7を除去して直接窒化膜9を形成した点である。

第12図に戻って、ゲート電極線10はX方向に、その上面にNSG膜7を介して形成されたアルミニウム配線8はY方向に、格子状に形成され、XYの交差点に各画素が形成されている。また、アルミニウム配線8は、NSG膜7に設けられた連結孔でソース領域に連結されている。また、NSG膜7は、ポリシリコン膜6の画素電極

領域の輪郭に沿ってその内側16が除去されている。

このように構成された画像表示装置の製造方法について、第14図(a)ないし(e)により説明する。まず、石英基板1上に減圧化学的気相成長法により、膜厚が $1500\text{\AA}$ のポリシリコン膜2を形成し、TFTおよび画素電極となる14領域が残るようにパターニングする〔第14図(a)〕。次に、膜厚が $1300\text{\AA}$ のゲート用の酸化膜4を熱酸化により形成する。この時、酸化によって上記のポリシリコン膜2の膜厚は $800\text{\AA}$ 程度に減少する。続いて、ゲート電極5となるポリシリコン層を堆積した後、ゲート電極5以外の酸化膜を除去した状態で、セルフアラインで燐イオンまたはヒ素イオンを注入し、破線で示した $\text{n}$ 形領域6を形成し、画素領域にも導電性を持たせる〔第14図(b)〕。さらに、層間絶縁のため、膜厚が $8000\text{\AA}$ のNSG膜7を形成し、アルミニウム配線8との連結孔をあけた後にソース電極用のアルミニウム配線8を形成する〔第14図(c)〕。続いて、ウェ

ットエッチングにより画素電極上部のNSG膜7を除去し〔第14図(d)〕、最後に、電極保護用の窒化膜9をプラズマ化学的気相成長法により厚さ3000Åで面に形成する〔第14図(e)〕と、第13図に示した構造となる。

以上のようにして形成された画像表示装置は、画素電極上に窒化膜9のみが存在し、NSG膜7が存在しないので、液晶に有効に電圧を印加することが可能となる。したがって低電圧で駆動できる画像表示装置が得られる。

#### 発明の効果

以上のように、本発明は、画素電極にポリシリコン層を用いることにより、従来に比べてプロセスが簡単になりAl配線の断線による不良を大幅に軽減することができ、製造の歩留りが高くなり、そのため装置のコスト低減化も可能となり、その実用的効果は大なるものがある。

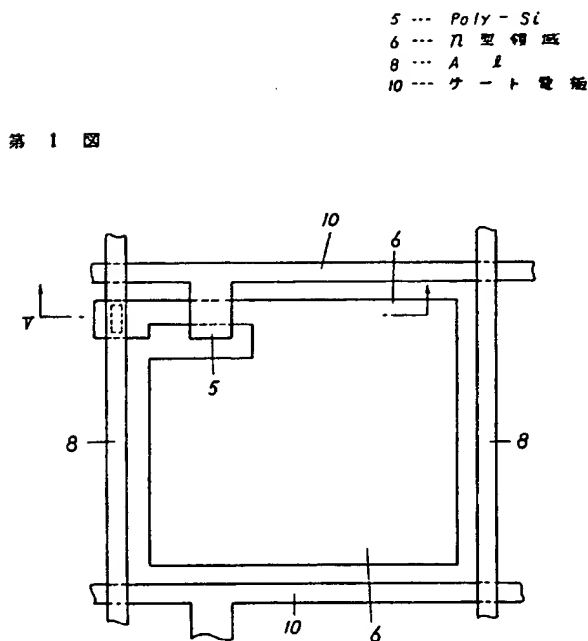
#### 4. 図面の簡単な説明

第1図は本発明の第1の実施例における画像表示装置の画素部の平面図、第2図は第1図のV-V'線での断面図、第3図は本発明の第1の実施例における画素部の製造工程図、第4図は本発明の第2の実施例における画像表示装置の画素部の構成図、第5図は本発明の第2の実施例における画素部の製造方法を示す工程図、第6図はこの発明の第3の実施例の液晶表示装置の画素電極近傍の構成を示す平面図、第7図は第6図の切断面線II-IIから見た断面図、第8図は前記液晶表示装置の製造方法を説明するための断面図、第9図は本発明の第4の実施例における画像表示装置の画素部の平面図、第10図は第9図のA-A'線における断面図、第11図は画素部の製造工程の図、第12図は本発明の第5の実施例における画像表示装置の画素部を示す平面図、第13図はそのA-A'要部断面図、第14図(a)ないし(e)は本発明の各製造工程を示す画素部の要部断面図、第15図は従来の画像表示装置の画素部の構成図である。

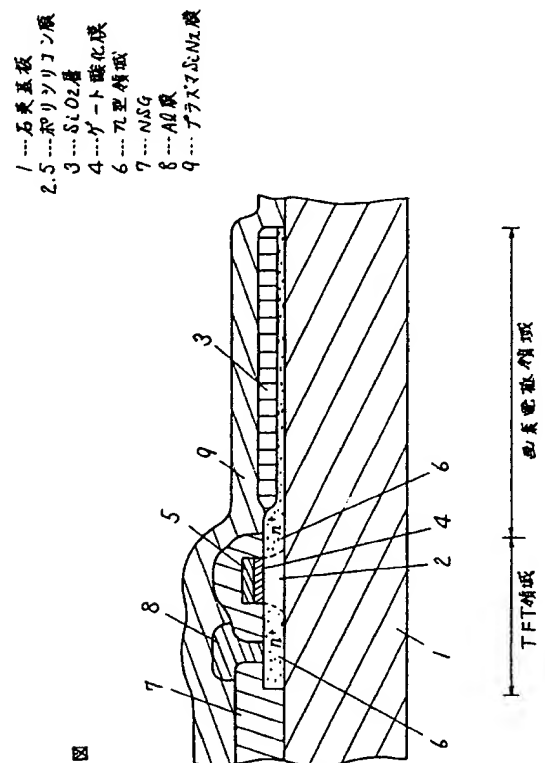
線での断面図、第3図は本発明の第1の実施例における画素部の製造工程図、第4図は本発明の第2の実施例における画像表示装置の画素部の構成図、第5図は本発明の第2の実施例における画素部の製造方法を示す工程図、第6図はこの発明の第3の実施例の液晶表示装置の画素電極近傍の構成を示す平面図、第7図は第6図の切断面線II-IIから見た断面図、第8図は前記液晶表示装置の製造方法を説明するための断面図、第9図は本発明の第4の実施例における画像表示装置の画素部の平面図、第10図は第9図のA-A'線における断面図、第11図は画素部の製造工程の図、第12図は本発明の第5の実施例における画像表示装置の画素部を示す平面図、第13図はそのA-A'要部断面図、第14図(a)ないし(e)は本発明の各製造工程を示す画素部の要部断面図、第15図は従来の画像表示装置の画素部の構成図である。

5……ポリシリコン膜、6……n型領域、8……Al膜、10……ゲート電極線。

代理人の氏名 井理士 栗野重孝 ほか1名



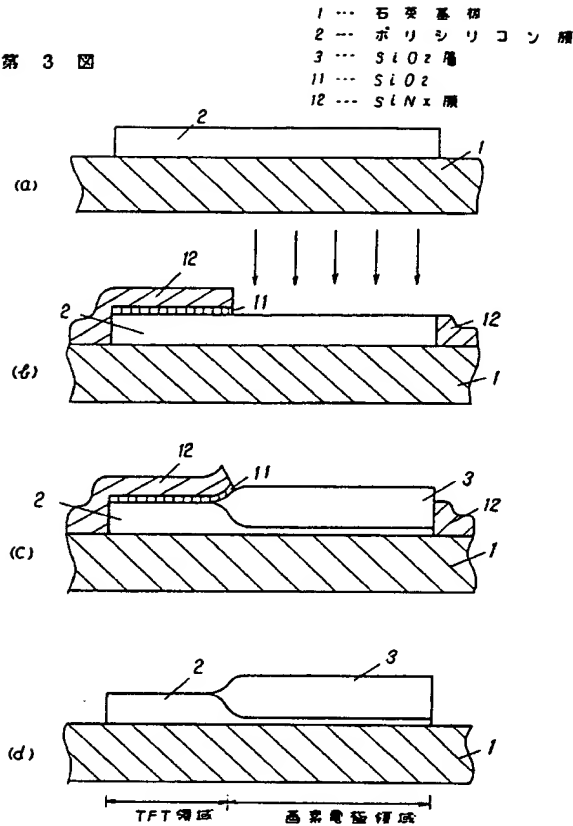
第1図



第2図

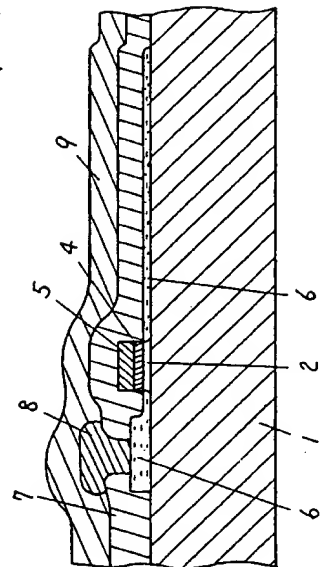


第 3 図

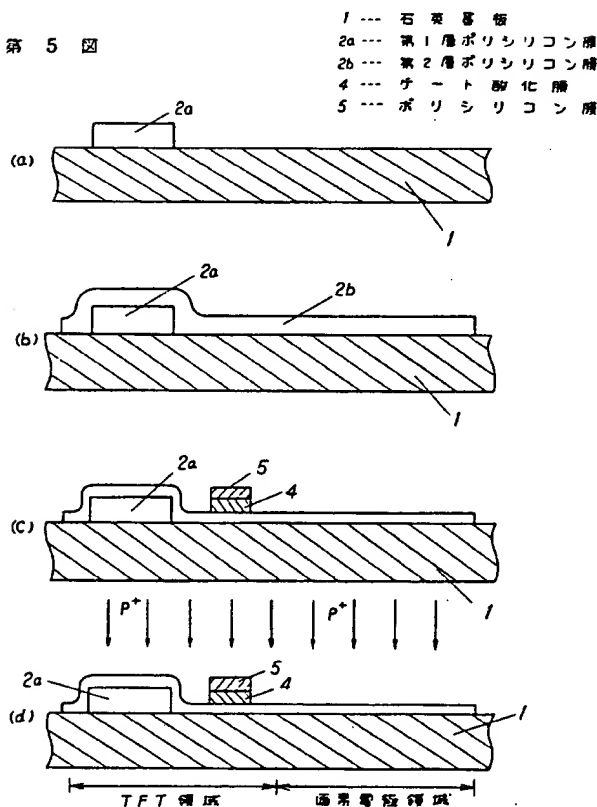


1 ... 石英基板  
2.5 ... ポリシリコン膜  
4 ... ゲート酸化膜  
6 ...  $Al$  型領域  
7 ...  $SiO_2$  膜  
8 ...  $Al$  膜  
9 ...  $SiNx$  膜

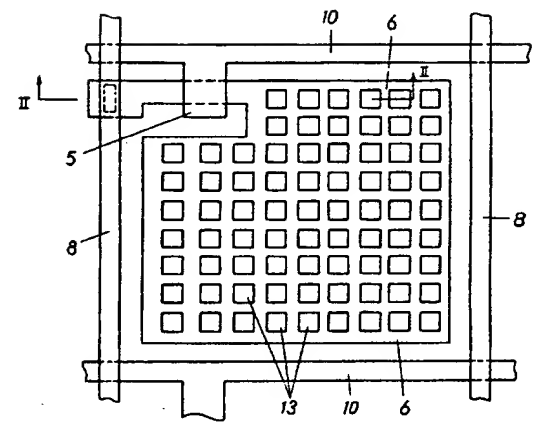
第 4 図



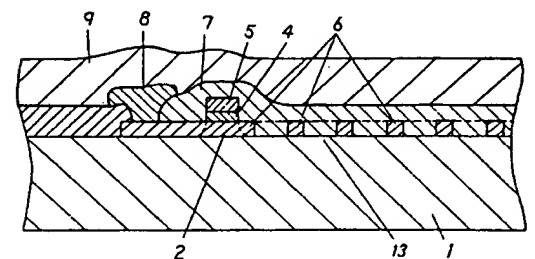
第 5 図



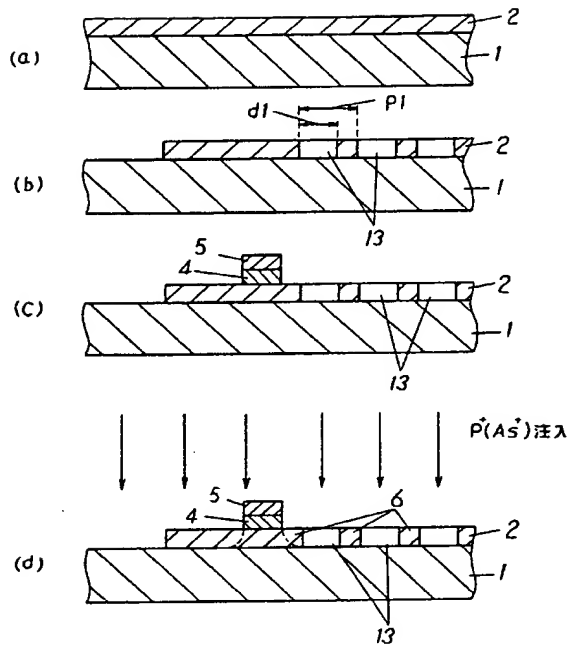
第 6 図



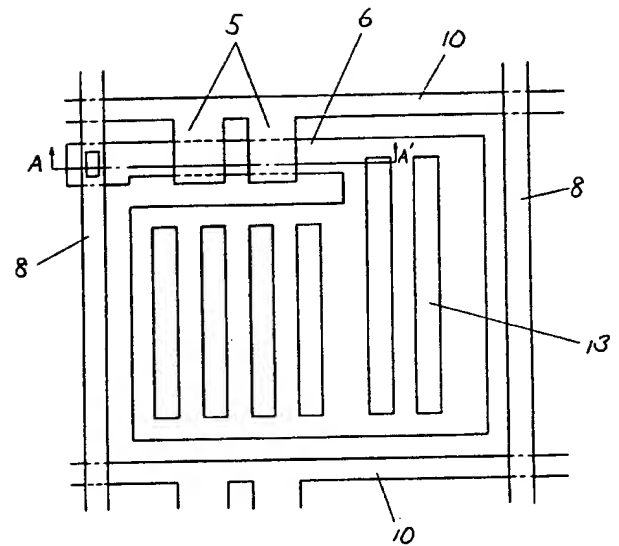
第 7 図



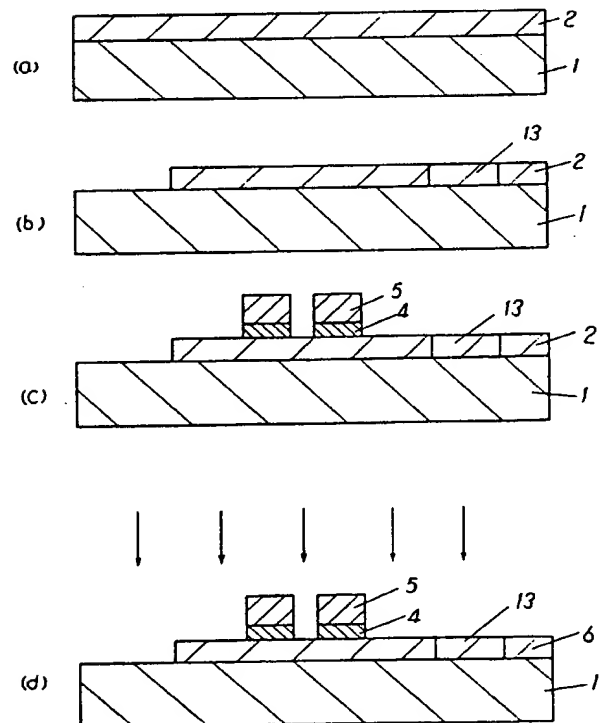
第 8 図



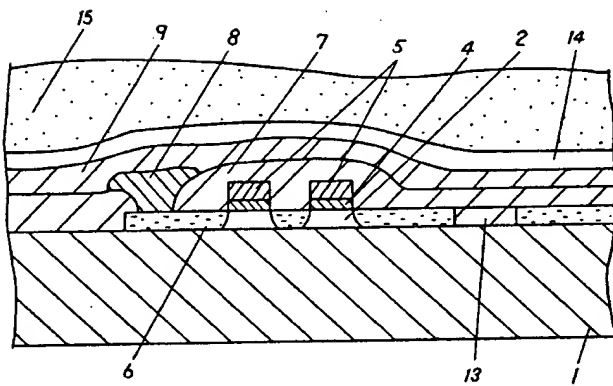
第 9 図



第 11 図

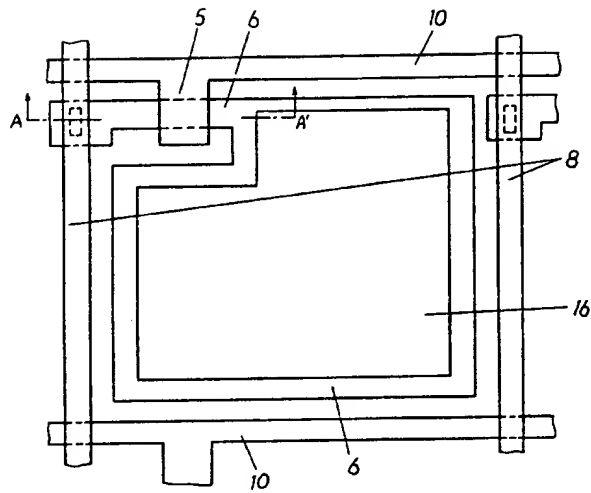


第 10 図

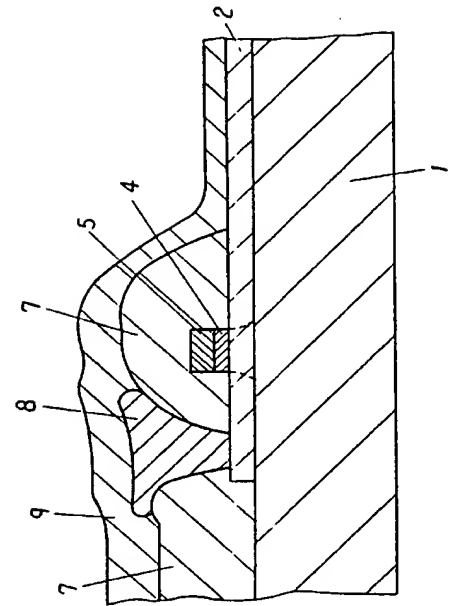


13 --- 透 孔  
14 --- 配 向 膜  
15 --- 渡 島

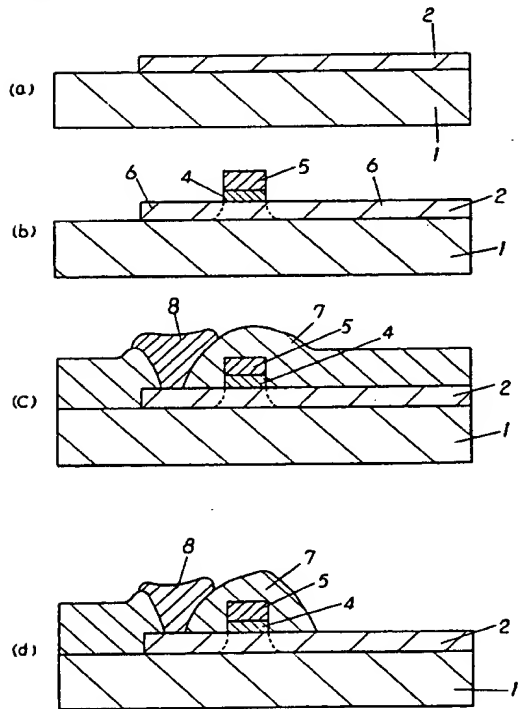
第 1 2 図



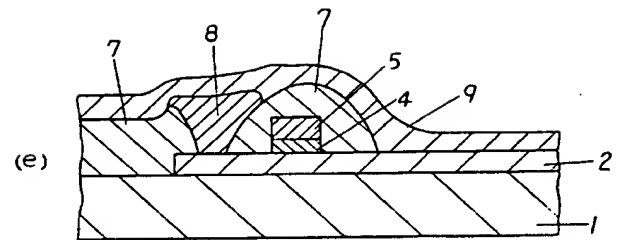
第 1 3 図



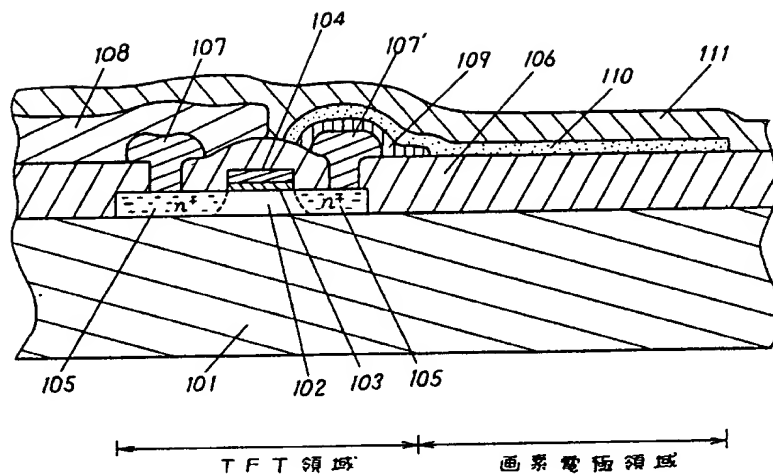
第 1 4 図



第 1 4 図



第 1 5 図



第 1 頁の続き

⑤Int. Cl.<sup>5</sup>

H 01 L 27/12  
29/784

識別記号

片内整理番号

A 7514-5F

優先権主張

③昭63(1988) 6月24日③日本(J P)③特願 昭63-157176  
 ③昭63(1988)11月 4日③日本(J P)③特願 昭63-279918  
 ③平 1(1989) 3月20日③日本(J P)③特願 平1-68032  
 ③平 1(1989) 6月 5日③日本(J P)③特願 平1-142534